

## **WO9610788**

Publication Title:

VARIABLE-LENGTH BIT DATA PROCESSING CIRCUIT AND METHOD

Abstract:

A variable bit-length code processing circuit includes first, second and third registers (12, 20, 22) each of which is of 1 word, and memory data is loaded to the first register (12), and a variable bit-length code is withdrawn from the third register (22). The second register (20) and third register (22) are coupled to a barrel shifter (16) which barrel-shifts data of 2 words according to a barrel shift amount which is applied by a subtracter (30) on the basis of the number of the valid bits and the number of the remaining bits.

-----  
Data supplied from the esp@cenet database - <http://ep.espacenet.com>

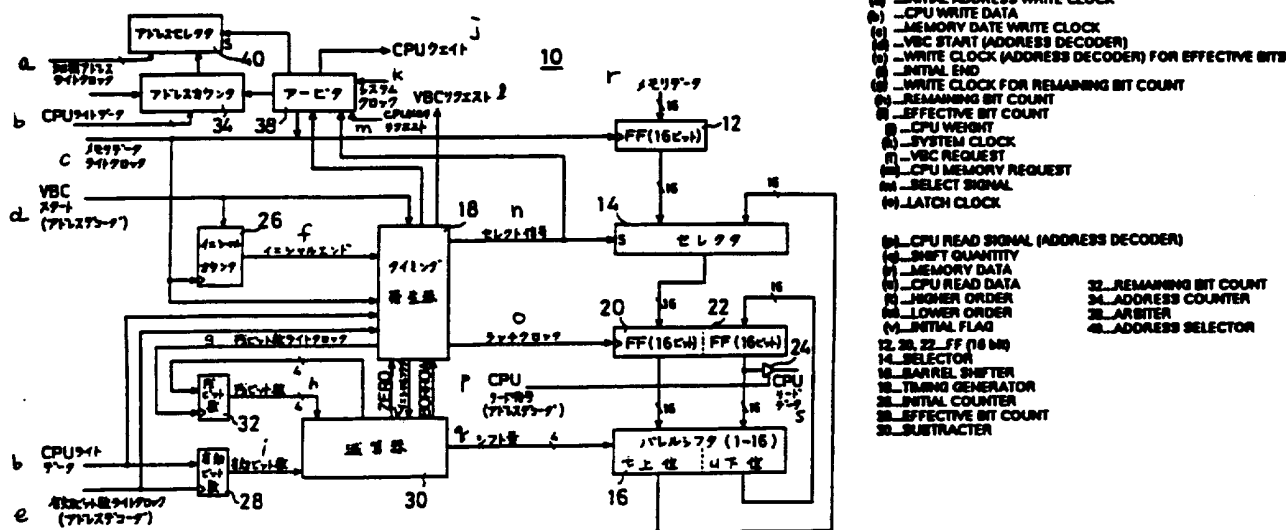


特許協力条約に基づいて公開された国際出願

<p>(51) 国際特許分類6 G06F 12/04</p>	<p>A1</p>	<p>(11) 国際公開番号 WO 96/10788</p> <p>(43) 国際公開日 1996年4月11日(11.04.96)</p>
<p>(21) 国際出願番号 PCT/JP95/01959 (22) 国際出願日 1995年9月27日(27.09.95)</p> <p>(30) 優先権データ 特願平6/236971 1994年9月30日(30.09.94) JP</p> <p>(71) 出願人 (米国を除くすべての指定国について) 株式会社 クリエイティブ・デザイン (CREATIVE DESIGN INC.)[JP/JP] 〒666 兵庫県川西市中央町3番6号 Hyogo, (JP) 任天堂株式会社(NINTENDO CO., LTD.)[JP/JP] 〒605 京都府京都市東山区福福上高松町60番地 Kyoto, (JP)</p> <p>(72) 発明者：および (75) 発明者／出願人 (米国についてのみ) 高橋豊文(TAKAHASHI, Toyofumi)[JP/JP] 田中登志雄(TANAKA, Toshio)[JP/JP] 寺川英明(TERAKAWA, Hideaki)[JP/JP] 〒666 兵庫県川西市中央町3番6号 株式会社 クリエイティブ・デザイン内 Hyogo, (JP)</p>		<p>(74) 代理人 弁理士 山田義人(YAMADA, Yoshito) 〒541 大阪府大阪市中央区伏見町2-6-6 タナベビル Osaka, (JP)</p> <p>(81) 指定国 CA, US, 欧州特許(DE, FR, GB, SE).</p> <p>添付公開書類 国際調査報告書 請求の範囲の補正の期限前であり、補正書受領の際には再公開される。</p>

**(54) Title : VARIABLE-LENGTH BIT DATA PROCESSING CIRCUIT AND METHOD**

(54) 発明の名称 可変長ビットデータ処理回路および方法



**(57) Abstract**

A variable-length bit data processing circuit includes first, second and third one-word registers (12, 20, 22). Data from a memory is loaded to the first register (12), and variable-length bit data is taken out from the third register (22). The second and third registers (20, 22) are coupled with a barrel shifter (16), which shifts two-words of data in accordance with barrel shift quantity data based on the number of effective bits and remaining bits obtained from a subtractor (30).

(57) 要約

可変長ビットデータ処理回路は、それぞれが1ワードである第1、第2および第3レジスタ(12,20,22)を含み、第1レジスタ(12)にメモリからのデータがロードされ、第3レジスタ(22)から可変長ビットデータが取り出される。第2レジスタ(20)および第3レジスタ(22)はバレルシフト(16)に結合され、バレルシフト(16)は減算器(30)から与えられる有効ビット数および残ビット数に基づくバレルシフト量データに従って2ワードのデータをバレルシフトする。

情報としての用途のみ

PCTに基づいて公開される国際出願をパンフレット第一頁にPCT加盟国を特定するために使用されるコード

AL	アルバニア	DK	デンマーク	LK	スリランカ	PT	ポルトガル
AM	アルメニア	EE	エストニア	LR	リベリア	RO	ルーマニア
AT	オーストリア	ES	スペイン	LS	レソト	RU	ロシア連邦
AU	オーストラリア	FI	フィンランド	LT	リトアニア	SD	スーダン
AZ	アゼルバイジャン	FR	フランス	LU	ルクセンブルグ	SE	スウェーデン
BB	バルバドス	GA	ガボン	LV	ラトヴィア	SG	シンガポール
BE	ベルギー	GB	イギリス	MC	モナコ	SI	スロヴェニア
BG	ブルガリア	GE	イギリス	MD	モルドバ	SK	スロバキア共和国
BH	ブルハナ・ファソ	GN	ギニア	MG	マダガスカル	SN	セネガル
BJ	ベナン	GR	ギリシャ	MK	マケドニア旧ユーゴスラヴィア共和国	SZ	スワジランド
BR	ブラジル	HU	ハンガリー	ML	マリ	TD	チャド
BY	ベラルーシ	IE	アイランド	MN	モンゴル	TG	トーゴ
CA	カナダ	IT	イタリア	MR	モリタニア	TJ	タジキスタン
CC	中央アフリカ共和国	JP	日本	MW	マラウイ	TM	トルクメニスタン
CG	コンゴ	KE	ケニア	MX	メキシコ	TR	トルコ
CH	スイス	KG	キルギスタン	NE	ニジェール	TT	トリニダード・トバゴ
CI	コート・ジボアール	KP	朝鮮民主主義人民共和国	NL	オランダ	UA	ウクライナ
CM	カメルーン	KR	大韓民国	NO	ノルウェー	UG	ウガンダ
CN	中国	KZ	カザフスタン	NZ	ニュージーランド	US	米国
CZ	チェコ共和国	LI	リヒテンシュタイン	PL	ポーランド	UZ	ウズベキスタン共和国
DE	ドイツ					VN	ヴェトナム

## 明 細 書

### 可変長ビットデータ処理回路および方法

#### 技術分野

この発明は可変長ビットデータ処理回路および方法に関し、特にたとえば、画像や音声の圧縮データのように、メモリに効率よく（余白なしに）格納されている可変長ビットデータを処理する、処理回路および方法に関する。

#### 従来技術

この種の可変長ビットデータ処理回路の一例が、平成4年（1992）9月2日付で出願公開された特開平4-245778号公報に開示されている。この従来技術は、入力符号データを保持する1ワードのシフトレジスタ(11)と、そのシフトレジスタ(11)からビット並列に転送されるデータを保持する3ワードのシフトレジスタ(12)とを含み、シフト／転送制御部(30)がシフトレジスタ(12)内のデータ余白部分を充足させる分だけシフトレジスタ(11)内のデータを切り出して転送するものである。

従来技術では、不要になった前回のデータをシフトレジスタ(12)で直列シフトして排出するようにしているため、合計4ワード分のシフトレジスタと、それらのシフト動作を制御するためのシフト／転送制御とが必要となる。シフト／転送制御の詳細については開示

## 2

されていないが、シフト回数を計数するカウンタ、シフトクロックの制御回路、シフトレジスタ 11 からシフトレジスタ 12 への任意のビット数のデータを並列転送する転送制御回路、およびシーケンサ等が必要となり、回路規模が大きくなってしまう。さらに、次のデータとビットストリームでつなぐために余白ビットをシフトレジスタ (11) によって押し出した分だけシフトレジスタ (12) によってシフトしかつビット単位にシフトレジスタ (11) に書き込むようにしているため、従来技術では、処理ステップが多くなり、データを取り出す時間が長くなってしまいう問題点があった。

## 発明の概要

それゆえに、この発明の主たる目的は、簡単な回路でかつより高速に、可変長ビットデータを取り出すことができる、データ処理回路および方法を提供することである。

この発明は、ビット並列に与えられるデータを保持する 1 ワードの第 1 レジスタ、第 1 レジスタからのデータをビット並列に受ける 1 ワードの第 2 レジスタ、可変長ビットデータが取り出される 1 ワードの第 3 レジスタ、有効ビット数と第 2 レジスタに保持されたデータの残ビット数とを比較して有効ビット数が残ビット数より大きいとき第 1 信号を出力する比較手段、比較手段から第 1 信号が出力されたとき、第 2 レジスタおよび第 3 レジスタから残ビット数だけバレルシフトしたデータを第 3 レジスタへロードする第 1 バレルシフト手段、比較手段から第 1 信号が出力されたとき、第 1 レジスタ

## 3

のデータを第2レジスタにビット並列でロードするロード手段、およびロード手段によって第2レジスタに第1レジスタのデータをロードした後、有効ビット数と残ビット数との差のビット数だけバレルシフトした第2レジスタおよび第3レジスタのデータを第2レジスタおよび第3レジスタにロードする第2バレルシフト手段を備える、可変長ビットデータ処理回路である。

この発明は、また、ビット並列に与えられるデータを保持する1ワードの第1レジスタ、第1レジスタからのデータをビット並列に受ける1ワードの第2レジスタ、および可変長ビットデータが取り出される1ワードの第3レジスタを備える可変長ビットデータ処理回路における処理方法であって、有効ビット数が第2レジスタに保持されたデータの残ビット数より大きいとき、(a) 第2レジスタおよび第3レジスタから残ビット数だけバレルシフトしたデータを第3レジスタへロードし、(b) 第1レジスタのデータを第2レジスタにビット並列でロードし、そして(c) 第2レジスタおよび第3レジスタのデータを有効ビット数と残ビット数との差のビット数だけバレルシフトして第2レジスタおよび第3レジスタにロードする、処理方法である。

たとえばメモリから読み出された1ワードのデータが第1レジスタにビット並列にロードされる。この第1レジスタのデータが第2レジスタにビット並列にロードされ、第2レジスタのデータが第1バレルシフト手段によってたとえば16ビットシフトされて第3レジスタにロードされる。第3レジスタから、可変長ビットデータが

## 4

取り出される。たとえば減算器からなる比較手段において、たとえばCPUによって設定された有効ビット数を第2レジスタに保持されたデータの残ビット数から減算する。そして、その減算結果が負になったとき、減算器からボロー信号（第1信号）が出力される。このボロー信号が出力されたとき、バレルシフトが動作し、第2レジスタおよび第3レジスタのデータを残ビット数だけバレルシフトしてそれを第3レジスタにロードする。このとき、第1バレルシフト手段のバレルシフトによってはみ出したデータは失われ、使用されない。それとともに、第1レジスタのデータが第2レジスタにロードされ、その第2レジスタのデータが第3レジスタのデータとともに（有効ビット数－残ビット数）だけ第2バレル手段によってバレルシフトされて第2レジスタおよび第3レジスタにロードされる。第2バレルシフト手段のバレルシフトによって空きが生じた第2レジスタの空白部には「0」が書き込まれる。

この発明によれば、合計3ワードのラッチと、バレルシフト手段を構成するための複数のセクタや減算器があればよく、従来技術に比べて、回路構成が簡単になるとともに、多くても2ステップのバレルシフト動作で有効データがセットできるので、処理時間が短縮され、データ処理が一層高速化される。

この発明の上述の目的およびその他の目的、特徴、局面および利点は、添付図面に関連して行われる以下の実施例の詳細な説明から一層明らかとなろう。

### 図面の簡単な説明

図 1 はこの発明の一実施例を示すブロック図であり；

図 2 は図 1 実施例のパレルシフトを詳細に示すブロック図であり

；

図 3 は図 1 実施例のアドレスデコーダを示すブロック図であり；

図 4 は図 1 実施例の動作を示すフロー図であり；

図 5 は図 1 実施例の動作を示すフロー図であり；

図 6 は図 1 実施例の動作を示す各レジスタの状態を示す図解図であり；

図 7 は図 1 実施例の動作を示す各レジスタの状態を示す図解図であり；

図 8 は図 1 実施例の動作を示す各レジスタの状態を示す図解図であり；

図 9 は図 1 実施例の動作を示す各レジスタの状態を示す図解図であり；

図 10 は図 1 実施例の動作を示す各レジスタの状態を示す図解図であり；

図 11 は図 1 実施例の動作を示す各レジスタの状態を示す図解図であり；

図 12 は図 1 実施例の動作を示す各レジスタの状態を示す図解図であり；

図 13 は図 1 実施例の動作を示す各レジスタの状態を示す図解図であり；



## 6

図 1 4 は図 1 実施例の動作を示す各レジスタの状態を示す図解図であり；

図 1 5 は図 1 実施例の動作を示す各レジスタの状態を示す図解図であり；

図 1 6 は図 1 実施例の動作を示す各レジスタの状態を示す図解図であり；

図 1 7 は図 1 実施例の動作を示す各レジスタの状態を示す図解図であり；そして

図 1 8 は図 1 実施例の動作を示す各レジスタの状態を示す図解図である。

#### 発明を実施するための最良の形態

図 1 に示す可変長ビットデータ処理回路 1 0 は、メモリ（図示せず）から出力される可変長ビットデータを処理するための回路であって、そのメモリからの 1 ワードのメモリデータをビット並列に受ける 1 ワード（16 ビット）の第 1 レジスタ 1 2 を含む。この第 1 レジスタ 1 2 のデータは、ビット並列にセクタ 1 4 に与えられる。セクタ 1 4 は 2 入力（各 16 ビット）のいずれかを選択して出力するものであって、一方入力として上述の第 1 レジスタ 1 2 からの 16 ビットが、他方入力としてバレルシフタ 1 6 の上位 16 ビットが与えられる。セクタ 1 4 は、タイミング発生器 1 8 からの「0」または「1」のセレクト信号に応じて、第 1 レジスタ 1 2 からのデータまたはバレルシフタ 1 6 からのデータを選択的に、第 2 レ

## 7

レジスタ 20 にビット並列にロードする。したがって、このセクタ 14 は、第 1 ないし第 4 バレルシフト手段の一部を構成するとともに、第 1 レジスタ 12 のデータを第 2 レジスタ 20 にロードするロード手段として機能する。第 2 レジスタ 20 は 1 ワード (16 ビット) のレジスタであり、この第 2 レジスタ 20 のデータはビット並列にバレルシフタ 16 に与えられる。第 3 レジスタ 22 もまた 1 ワード (16 ビット) のレジスタである。なお、便宜上、第 2 レジスタ 20 および第 3 レジスタ 22 は個別のものとして説明したが、実際には、2 ワード (32 ビット) の 1 つのレジスタないしラッチとして構成される。第 2 レジスタ 20 のデータがバレルシフタ 16 の上位 16 ビットに与えられ、第 3 レジスタ 22 のデータがバレルシフタ 16 の下位 16 ビットに与えられる。バレルシフタ 16 は、第 2 レジスタ 20 および第 3 レジスタ 22 のそれぞれの 16 ビット並列データを 1 つの 32 ビットデータとして右方向にバレルシフトする。バレルシフトしたデータの上位 16 ビットは上述のようにセクタ 14 に与えられるが、バレルシフトしたデータの下位 16 ビットは第 3 レジスタ 22 にビット並列で与えられる。したがって、このバレルシフタ 16 が第 1 ないし第 4 バレルシフト手段の一部を構成することは明らかである。その結果、第 3 レジスタ 22 のデータが、CPU (図示せず) によって有効データとして 3 状態ゲート 24 から取り出される。

ここで、バレルシフトについて説明する。通常のシフトレジスタを用いたデータシフトでは、1 回与えられるクロックに応答してデ

ータが1ビット分だけ右または左にシフトされる。たとえば、データを5ビットシフトする場合は、5つのクロックに 응답してデータが右または左に5ビットシフトされる。これに対して、ここでいうバレルシフトを用いた場合、1つのクロックに 응답して、データが1度に複数ビット右または左にシフトされる。1回のクロックでシフトするビット数は、減算器30（後述）から与えられるシフト量により決定される。

このようなバレルシフトを行うために、この実施例のバレルシフタ16は、図2に示すように、32個のセレクトSBL0-SBL31を用いて構成することができる。バレルシフタ16には、第3レジスタ22からの16ビットの並列データb16-b31と第2レジスタ20からの16ビットの並列データb0-b15の計32ビットのデータが与えられる。この32ビットのデータの各ビットを、下位から上位にかけてそれぞれb0-b31とする。

一方、先に述べたように、バレルシフタ16は、最大で16ビットのバレルシフトを行うことができる。このバレルシフトは、セレクトSBL0-SBL31によって実現される。以下に、各セレクトSBL0-SBL31の動作について説明する。

バレルシフタ16の最下位ビットの出力を決定するセレクトSBL0は、ビットb1-b16の中から1ビットを選択して出力する16-1セレクト（16ビットの中から任意の1ビットを選択して出力するセレクト）であり、選択するビットは減算器30（図1）から与えられるシフト量に 응답して決定される。同様に、セレクトSBL1, SBL2

, SBL3, ...SBL15 は、それぞれ、ビットb2-b17, b3-b18, b4-b19, ...b16-b31の中から、減算器30から与えられるシフト量に応答して、1ビットを選択して出力する16-1セレクタである。

一方、セレクタSBL16-SBL31の各々は、セレクタSBL0-SBL15に用いたような16-1セレクタによって構成することができない。なぜならば、セレクタSBL16は、ビットb17-b32の中から1ビットを選択して出力することができないからである。その理由は、バレルシフタ16には、32ビットb0-b31のデータしか与えられておらず、バレルシフタ16に与えられていないビットb32を選択することはできないからである。そこで、セレクタSBL16は、減算器30から与えられるシフト量によって16ビットのバレルシフトを行うよう指示された場合は、ビットb32に代えて「0」を出力する。すなわち、セレクタSBL16は、ビットb17-b31または「0」の中から1ビットを選択して出力する16-1セレクタである。また、セレクタSBL17は、バレルシフタ16にビットb32およびb33が与えられていないため、ビットb18-b33の中から1ビットを選択して出力することができず、したがって、減算器30によって15ビット以上のバレルシフトを行うよう指示された場合、すなわち、ビットb32あるいはb33を選択するよう指示された場合は、「0」を出力する。換言すれば、セレクタSBL17は、ビットb18-b31または「0」の中から1ビットを選択して出力する15-1セレクタである。同様に、セレクタSBL18, SBL19, SBL20, ...SBL30は、それぞれ、ビットb19-b31または「0」、ビットb20-b31または「0」、ビット

## 10

b21-b31 または「0」、…ビットb31 または「0」の中から1ビットを選択して出力する14-1セクタ、13-1セクタ、12-1セクタ、…2-1セクタである。そして、セクタSBL31は、シフト量の値によらず「0」しか出力しない1-1セクタであり、セクタSBL31の出力は「0」に固定されている。

このようにして、バレルシフタ16は、減算器30（図1）によって指示されたシフト量に応じて、第2レジスタ20および第3レジスタ22から与えられる32ビットb0-b31または「0」を選択し、結果的に、所要のビット数だけバレルシフトし、そのバレルシフトの結果、はみ出したビットは失われ、空白となったビットには「0」が書き込まれる。

なお、第1レジスタ12には、メモリ（図示せず）からのメモリデータが、メモリデータライトクロック（後述）に応じてロードされ、セクタ14からのデータはタイミング発生器18から出力されるラッチクロックに応じて第2レジスタ20にロードされる。そして、3状態ゲート24はアドレスデコード（図示せず）から出力されるCPUリード信号によって制御される。すなわち、このCPUリード信号が「1」のとき3状態ゲート24からCPUリードデータが取り出される。上述のアドレスデコードは、可変長ビットデータ（VBC: Variable Bit-length Code）の処理のスタートを示すVBCスタート信号を出力し、このVBCスタート信号が、上述のタイミング発生器18に与えられるとともに、イニシャルカウンタ26に与えられる。イニシャルカウンタ26はまた、メモリデー

## 1 1

タライトクロックを受け、それに応じてインクリメントされる。タイミング発生器 18 は、VBC スタート信号に応じてイネーブルされ、VBC リクエスト信号を発生する。この VBC リクエスト信号は、メモリデータライトクロックに同期して発生される。

CPU (図示せず) からの CPU ライトデータが有効ビット数レジスタ 28 に与えられるとともに、タイミング発生器 18 に与えられる。有効ビット数データは、たとえば 4 ビットで与えられ、パレルシフト量を決定するために用いられる。有効ビット数データが「0000」のとき「16」の有効ビット数を表し、有効ビット数データが「0001」のとき「1」の有効ビット数を表し、有効ビット数データが「0010」のとき「2」の有効ビット数を表し、以下同様に、有効ビット数データが「1111」のとき「15」の有効ビット数を表す。また、アドレスデコーダ (図示せず) からの有効ビット数ライトクロックが有効ビット数レジスタ 28 に与えられるとともに、タイミング発生器 18 に与えられる。

有効ビット数レジスタ 28 にロードされた有効ビット数のデータは減算器 30 の一方入力に与えられる。減算器 30 の他方入力には、残ビット数レジスタ 32 から出力される残ビット数のデータが与えられる。すなわち、減算器 30 は「残ビット数 - 有効ビット数」の減算を実行するのであるから、第 2 レジスタ 20 の残ビット数を自身で知ることができる。したがって、減算器 30 から残ビット数データが出力され、タイミング発生器 18 から残ビット数ライトクロックが残ビット数レジスタ 32 に与えられることによって、残ビ

## 12

ット数レジスタ 32 に残ビット数データが保持される。このようにして、減算器 30 は「残ビット数－有効ビット数」の演算を行い、その減算結果を新たな残ビット数データとして出力するとともに、後者が前者よりも大きいとき、「1」のボロー信号（第1信号）を出力し、前者と後者とが等しいとき「1」のゼロ信号（第2信号）を出力する。したがって、ボロー信号およびゼロ信号がともに「0」とき、減算器 30 からは第3信号が出力されたことになる。ボロー信号およびゼロ信号は、ともに、タイミング発生器 18 に与えられる。タイミング発生器 18 では、ボロー信号やゼロ信号に応じて、セレクト信号やラッチクロックを出力する。

なお、減算器 30 は、バレルシフタ 16 に対して、バレルシフトすべきビット数すなわちシフト量を設定する。たとえば、第1信号が出力されたときにはシフト量として最初に残ビット数データが与えられ、ついで「有効ビット数－残ビット数」すなわち減算結果の絶対値が与えられ、第2信号が出力されたときにはシフト量として残ビット数データが与えられ、第3信号が出力されたときにはシフト量として有効ビット数データが与えられる。

アドレスカウンタ 34 には、アドレスデコーダ 36（図3）から与えられる初期アドレスライトクロックに応答して、メモリに記憶された可変長ビットデータの先頭アドレスデータがプリセットされる。アドレスカウンタ 34 にプリセットされたアドレスデータは、アービタ 38 から与えられるメモリデータライトクロックに응答してインクリメントされる。これにより、可変長ビットデータがメモ

## 13

リ内に複数ワードにわたって連続して記憶されている場合でも、アドレスカウンタ34に可変長ビットデータの先頭アドレスを1度ブリセットするだけで、以後複数ワードにわたる可変長ビットデータを連続して読み出して第1レジスタ12にラッチすることができる。

アドレスセクタ40は、CPUから与えられるCPUアドレスバスのアドレスデータまたはアドレスカウンタ34から与えられるアドレスデータのいずれか一方を切り換えてメモリに与える、この切り換えは、アービタ38からのセレクト信号に基づいて行われる。

アービタ38は、可変長ビットデータ処理回路10の動作および可変長ビットデータ処理回路10とCPUとによるメモリアクセスのタイミングを制御するものである。

アービタ38には、図1に示すようにシステムクロック、アドレスデコード36からのCPUメモリリクエスト信号、およびタイミング発生器18からのセレクト信号およびイニシャルフラグとが与えられる。アービタ38は、タイミング発生器18からのセレクト信号が、第1レジスタ12にラッチされているデータを第2レジスタ20に供給するようにセクタ14を切り換える信号であることを判断する。これに応答して、アービタ38は、アドレスカウンタ34をインクリメントさせるカウント信号を発生し、これに続いてメモリから与えられる可変長ビットデータを第1レジスタ12にラッチさせるメモリデータライトクロックを発生する。ただし、タイ



## 1 4

ミング発生器 1 8 からのイニシャルフラグがイニシャル状態を示している場合は、カウント信号は発生されない。また、アービタ 3 8 は、メモリデータライトクロックを発生するのに先立って、アドレスセクタ 4 0 に対してアドレスカウンタ 3 4 からのアドレス信号をメモリに供給するよう指示するセレクト信号を発生する。

一方、アービタ 3 8 は、アドレスデコーダ 3 6 (図 3) からの CPU メモリリクエスト信号を監視することにより、CPU がメモリへのアクセスを要求しているか否かを判断する。そして、CPU がメモリへのアクセスを要求し、かつアドレスセクタ 4 0 がアドレスカウンタ 3 4 からのアドレスデータをメモリに与えるよう切り換えられているときは、CPU に対してウェイト信号を与えて、CPU をウェイト状態にする。

ここで、図 3 を参照して、アドレスデコーダ 3 6 には、CPU アドレスバスとリード信号線とライト信号線とが接続され、CPU からのアドレスデータと CPU からのリード信号と CPU からのライト信号とが与えられる。CPU は、所定の大きさのメモリ空間を有し、このメモリ空間内の所定のアドレスに上述のメモリ、可変長ビットデータ処理スタート、第 3 レジスタ 2 2 および有効ビット数レジスタ 2 8 等が割り当てられている。アドレスデコーダ 3 6 は、常に、CPU からのアドレスデータ、リード信号およびライト信号を監視し、CPU がメモリの割り当てられているアドレスをアクセスし、かつリード信号あるいはライト信号を出力しているときは、CPU メモリリクエスト信号を発生する。また、アドレスデコーダ 3

## 15

6は、CPUが可変長ビットデータ処理をスタートさせるためのアドレスをアクセスしかつライト信号を出力しているときは、可変長ビットデータ処理回路10に可変長ビットデータ処理をスタートさせるためのVBCスタート信号を発生する。また、アドレスデコーダ36は、CPUがアドレスカウンタの割り当てられているアドレスをアクセスしかつライト信号を出力しているときは、初期アドレスライトクロックを発生する。さらに、アドレスデコーダ36は、CPUが第3レジスタの割り当てられているアドレスをアクセスしかつリード信号を出力しているときは、CPUリード信号を発生する。また、アドレスデコーダ36はCPUが有効ビット数レジスタ28の割り当てられているアドレスをアクセスしかつライト信号を出力しているときは、有効ビット数ライトクロック信号を発生する。

図4および図5を参照して、図1実施例の動作を説明する。なお、図1実施例は、実際には、ハードウェアで構成されているが、図4および図5のフロー図のように動作する。したがって、図4および図5フロー図に従って動作するマイクロコンピュータによって図1回路が代替されてもよい。

図4のステップS1からステップS7までは、初期設定動作である。すなわち、CPUかつしたがってアドレスデコーダ36（図3）からのVBCスタート信号に応答してタイミング発生器18がイネーブルされ、ステップS1において、タイミング信号発生器18は、VBCリクエスト信号を出力する。なお、アドレスデコーダ3

## 16

6 は、上述のようにCPUから所定のアドレスデータが出力されたとき、VBCスタート信号を出力する。このとき、CPUは、同時に、メモリアドレスカウンタ34（図1）に対してメモリリードアドレスをセットする。応じて、ステップS2において、メモリ（図示せず）からメモリデータが読み出され、メモリデータライトクロックに依じてそのメモリデータが、第1レジスタ12にビット並列にロードされる。そして、メモリデータライトクロックに依じて、アドレスカウンタ34がインクリメントされる。なお、メモリ（図示せず）には、可変ビット長データ、すなわち、有効ビット数が変化するデータが効率よく（余白なしに）アドレス順次にストアされている。タイミング発生器18は、このメモリデータライトクロックをカウントして、次のステップS3において、再びVBCリクエスト信号を発生する。したがって、次のステップS4において、メモリ（図示せず）のインクリメントされたアドレスからのメモリデータがビット並列に第1レジスタ12にロードされるとともに、タイミング発生器18からのセレクト信号が「1」であるため、第1レジスタ12のデータがセクタ14を介して、ビット並列に第2レジスタ20にロードされる。タイミング発生器18は、メモリデータライトクロックをさらにカウントして、次のステップS5において、再びVBCリクエスト信号を発生する。したがって、次のステップS6において、メモリ（図示せず）からのメモリデータがビット並列に第1レジスタ12にロードされるとともに、タイミング発生器18からのセレクト信号が「1」であるため、第1レジスタ



## 18

効ビット数は未定である。

次のステップS8において、CPU（図示せず）は第3レジスタ22から有効データに $a_0$ - $a_4$ をリードする。ステップS9で、CPUライトデータとして、データaの有効ビット数である「5」がCPUから出力される。応じて、アドレスデコーダ36（図3）から有効ビット数ライトクロックが出力されるので、有効ビット数レジスタ28に、「5」のデータが書き込まれる。

次のステップS10において、減算器30が「残ビット数-有効ビット数」の演算を実行する。ここで、残ビット数とは、第2レジスタ20に保持されているデータのうち、バレルシフトの結果生じた「0」以外のデータ、たとえば、図6における $c_4$ - $c_{13}$ および $d_0$ - $d_4$ の16ビットのデータあるいは図7における $c_9$ - $c_{13}$ および $d_0$ - $d_5$ の11ビットのデータを意味する。図6の例では、第2レジスタ20の残ビット数は「16」であるため、ステップS10の減算結果は「 $16 - 5 = 11$ 」で正となり、ステップS10では「YES」と判断される。減算器30からは、このとき、バレルシフタ16におけるシフト量として有効ビット数である「5」をバレルシフタ16に指示する。したがって、次のステップS11において、有効ビット数「5」だけバレルシフトしたデータを第2レジスタ20および第3レジスタ22にロードする。その結果が、図7に示される。図7では、第1レジスタ12のデータはそのまま変化せず、第3レジスタ22に保持されていた5ビットのデータaが第3レジスタ22から押し出される。したがって、第3レジスタ22には、16ビ

## 19

ットのデータ  $b_0, b_1, b_2, b_3, b_4, b_5, b_6, c_0, c_1, c_2, c_3, c_4, c_5, c_6, c_7, c_8$  が保持される。なお、減算器 30 からのボロー信号もゼロ信号もともに「0」であるので、タイミング発生器 18 からは「0」のセレクト信号が出力される。応じて、セクタ 14 はパレルシフト 16 からのデータを選択する。したがって、第 2 レジスタ 20 には 11 ビットのデータ  $c_9, c_{10}, c_{11}, c_{12}, c_{13}, d_0, d_1, d_2, d_3, d_4, d_5$  と 5 ビットの「0」が保持される。「0」は、パレルシフト 16 によって第 2 レジスタ 20 のデータを 5 ビットパレルシフトした結果、第 2 レジスタ 20 に書き込まれる。

図 7 の状態において、第 3 レジスタ 22 のデータ  $b$  の有効ビット数は「7」であり、第 2 レジスタ 20 の残ビット数は「11」である。したがって、ここで再び、ステップ S8 からステップ S11 が繰り返し実行される。その結果、図 8 に示すように、第 3 レジスタ 22 からは 7 ビットのデータ  $b$  が排出され、データ  $b$  は CPU リードデータとして取り込まれる。そして、第 3 レジスタ 22 には、16 ビットのデータ  $c_0, c_1, c_2, c_3, c_4, c_5, c_6, c_7, c_8, c_9, c_{10}, c_{11}, c_{12}, c_{13}, d_0, d_1$  が保持され、第 2 レジスタ 20 には、4 ビットのデータ  $d_2, d_3, d_4, d_5$  と 12 ビットの「0」が保持される。先に 5 ビットの「0」があり、かつ新たに 7 ビットのパレルシフトが行われるのであるから、この段階で第 2 レジスタ 20 の「0」は 12 ビットになる。

図 8 の状態において、第 3 レジスタ 22 のデータ  $c$  の有効ビット数は「14」であり、第 2 レジスタ 20 の残ビット数は「4」であ

## 20

る。したがって、減算器30の減算の結果は「 $4 - 14 = -10$ 」となり、ボロー信号が出力され、ステップS10では「NO」と判断される。そのため、プロセスは図5のステップS12に進み、このステップS12において、「残ビット数-有効ビット数」の減算結果が「0」であるかどうかを判断する。上述の例では、減算結果は「 $-10$ 」であるため、このステップS12では「NO」と判断され、したがって、プロセスはステップS13に進む。

ボロー信号に応じて、タイミング発生器18は「0」のセレクト信号を出力する。また、減算器30からは、減算結果が負になったので、シフト量として、残ビット数である「4」をバレルシフタ16に与える。したがって、ステップS13では、図9に示すように、まず、第2レジスタ20および第3レジスタ22のデータを4ビットバレルシフトし、それを第2レジスタ20および第3レジスタ22にロードする。このとき、バレルシフタ16の下位16ビットのデータは、 $c_4, c_5, c_6, c_7, c_8, c_9, c_{10}, c_{11}, c_{12}, c_{13}, d_0, d_1, d_2, d_3, d_4, d_5$ となり、上位16ビットは全て「0」になる。ここで、次にタイミング発生器18からの「1」のセレクト信号に応答して、セクタ14が第1レジスタ12のデータを選択しているため、第2レジスタ20には第1レジスタ12のデータがビット並列でロードされ、第2レジスタ20は16ビットのデータ $d_6, e_0, f_0, f_1, f_2, f_3, f_4, f_5, f_6, f_7, f_8, f_9, f_{10}, g_0, g_1, g_2$ が保持される。

次のステップS14では、減算器30から「有効ビット数-残ビ

## 21

ット数」のシフト量がバレルシフタ16に指示される。図8の状態では、第3レジスタ22の有効ビット数は「14」であり、第2レジスタ20の残ビット数は「4」である。したがって、このときのシフト量は「10」である。したがって、ステップS14において、第2レジスタ20および第3レジスタ22のデータをバレルシフタ16によって10ビットバレルシフトしたデータを第2レジスタ20および第3レジスタ22にセレクタ14を通してロードする。その結果、第3レジスタ22には、16ビットのデータ $d_0, d_1, d_2, d_3, d_4, d_5, d_6, e_0, f_0, f_1, f_2, f_3, f_4, f_5, f_6, f_7$ が保持され、第2レジスタ20には6ビットのデータ $f_8, f_9, f_{10}, g_0, g_1, g_2$ と10ビットの「0」とが保持される。

次のステップS15においてタイミング発生器18からVBCリクエスト信号が出力され、応じて、メモリ（図示せず）から次のメモリデータが読み出される。したがって、ステップS16では、図10に示すように、メモリデータが第1レジスタ12にビット並列にロードされ、第1レジスタ12には16ビットのデータ $g_3, g_4, g_5, g_6, g_7, h_0, h_1, h_2, h_3, h_4, h_5, h_6, h_7, h_8, h_9, h_{10}$ が保持される。

なお、タイミング発生器18は、メモリから第1レジスタ12にデータをロードする毎に、メモリアドレスカウンタ34をインクリメントするため、可変長ビットデータ列をメモリ内にアドレス順にストアしておくだけで、それぞれの可変長ビットデータは自動的に順次メモリから第1レジスタ12へロードされる。



## 2 2

再びステップS 1 2が実行されると、図9の状態では、第3レジスタ22のデータdの有効ビット数は「7」で残ビット数は「4」であり、その結果、ステップS 1 3からステップS 1 6が実行される。すなわち、ステップS 1 3を経て、図10に示すように、第3レジスタ22には16ビットのデータd<sub>6</sub>, e<sub>0</sub>, f<sub>0</sub>, f<sub>1</sub>, f<sub>2</sub>, f<sub>3</sub>, f<sub>4</sub>, f<sub>5</sub>, f<sub>6</sub>, f<sub>7</sub>, f<sub>8</sub>, f<sub>9</sub>, f<sub>10</sub>, g<sub>0</sub>, g<sub>1</sub>, g<sub>2</sub>, g<sub>3</sub>が保持され、第2レジスタ20には16ビットのデータg<sub>3</sub>, g<sub>4</sub>, g<sub>5</sub>, g<sub>6</sub>, g<sub>7</sub>, h<sub>0</sub>, h<sub>1</sub>, h<sub>2</sub>, h<sub>3</sub>, h<sub>4</sub>, h<sub>5</sub>, h<sub>6</sub>, h<sub>7</sub>, h<sub>8</sub>, h<sub>9</sub>, h<sub>10</sub>が保持される。同時に、7ビットのデータdがCPUリードデータとして取り込まれる。その後のステップS 1 5およびステップS 1 6を経て、図10に示すように、第3レジスタ22には16ビットのデータe<sub>0</sub>, f<sub>0</sub>, f<sub>1</sub>, f<sub>2</sub>, f<sub>3</sub>, f<sub>4</sub>, f<sub>5</sub>, f<sub>6</sub>, f<sub>7</sub>, g<sub>0</sub>, g<sub>1</sub>, g<sub>2</sub>が保持され、第2レジスタ20には、15ビットのデータg<sub>4</sub>, g<sub>5</sub>, g<sub>6</sub>, g<sub>7</sub>, h<sub>0</sub>, h<sub>1</sub>, h<sub>2</sub>, h<sub>3</sub>, h<sub>4</sub>, h<sub>5</sub>, h<sub>6</sub>, h<sub>7</sub>, h<sub>8</sub>, h<sub>9</sub>, h<sub>10</sub>と1ビットの「0」が保持され、第1レジスタ12にはメモリ（図示せず）からメモリデータh<sub>11</sub>, h<sub>12</sub>, h<sub>13</sub>, h<sub>14</sub>, h<sub>15</sub>, i<sub>0</sub>, i<sub>1</sub>, i<sub>2</sub>, i<sub>3</sub>, i<sub>4</sub>, i<sub>5</sub>, i<sub>6</sub>, i<sub>7</sub>, i<sub>8</sub>, i<sub>9</sub>, j<sub>0</sub>がロードされる。

図10の状態では、第3レジスタ22のデータeの有効ビット数は「1」であり、残ビット数は「15」であるので、次に実行されるステップS 1 0で「YES」と判断され、再び、ステップS 1 1が実行される。その結果、図11に示すように、第3レジスタ22には16ビットのデータf<sub>0</sub>, f<sub>1</sub>, f<sub>2</sub>, f<sub>3</sub>, f<sub>4</sub>, f<sub>5</sub>, f<sub>6</sub>, f<sub>7</sub>, g<sub>0</sub>, g<sub>1</sub>, g<sub>2</sub>, g<sub>3</sub>, g<sub>4</sub>が保持され、第2レジスタ20には、14ビットのデ

## 23

ータ  $g_5, g_6, g_7, h_0, h_1, h_2, h_3, h_4, h_5, h_6, h_7, h_8, h_9, h_{10}$  と2ビットの「0」が保持される。

図11の状態では、第3レジスタ22のデータfの有効ビット数は「11」であり、残ビット数は「14」であるので、次に実行されるステップS10で「YES」と判断され、再び、ステップS11が実行される。その結果、図12に示すように、第3レジスタ22には16ビットのデータ  $g_0, g_1, g_2, g_3, g_4, g_5, g_6, g_7, h_0, h_1, h_2, h_3, h_4, h_5, h_6, h_7$  が保持され、第2レジスタ20には、3ビットのデータ  $h_8, h_9, h_{10}$  と13ビットの「0」が保持される。このとき、第1レジスタ12のデータは  $h_{11}, h_{12}, h_{13}, h_{14}, h_{15}, i_0, i_1, i_2, i_3, i_4, i_5, i_6, i_7, i_8, i_9, j_0$  で不変である。

図12の状態では、第3レジスタ22のデータgの有効ビット数は「8」であり、残ビット数は「3」であるため、次に実行されるステップS10およびステップS12とともに、「NO」と判断される。そのため、ステップS13からステップS16までが再び実行される。その結果が図13に示される。

図13の状態において、第3レジスタ22のデータhの有効ビット数は「16」であり、第2レジスタ20の残ビット数は「11」である。したがって、減算器30の減算の結果は「11-16=-5」となり、ボロー信号が出力され、ステップS10では「NO」と判断される。そのため、ステップS12において、「残ビット数-有効ビット数」の減算結果が「0」であるかどうかを判断する。上述の例では、減算結果は「-5」であるため、このステップS1

## 24

2では「NO」と判断され、したがって、プロセスはステップS13に進む。

フロー信号に応じて、タイミング発生器18は「0」のセレクト信号を出力する。また、減算器30からは、減算結果が負になったので、シフト量として、残ビット数である「11」をバレルシフト16に与える。したがって、ステップS13では、図14に示すように、まず、第2レジスタ20および第3レジスタ22のデータを11ビットバレルシフトし、それを第2レジスタ20および第3レジスタ22にロードする。このとき、バレルシフト16の下位16ビットのデータは、 $h_{11}, h_{12}, h_{13}, h_{14}, h_{15}, i_0, i_1, i_2, i_3, i_4, i_5, i_6, i_7, i_8, i_9, j_0$ となり、上位16ビットのデータは全て「0」となる。ここで、次にタイミング発生器18からの「1」のセレクト信号に応答して、セクタ14が第1レジスタ12のデータを選択するため、第2レジスタ20には第1レジスタ12のデータがビット並列でロードされ、第2レジスタ20には16ビットのデータ $j_1, j_2, j_3, j_4, j_5, j_6, j_7, j_8, k_0, k_1, k_2, k_3, k_4, k_5, k_6, k_7$ が保持される。

次のステップS14では、減算器30から「有効ビット数-残ビット数」のシフト量がバレルシフト16に指示される。図14の状態では、第3レジスタ22の有効ビット数は「16」であり、第2レジスタ20の残ビット数は「11」である。したがって、このときのシフト量は「5」である。したがって、ステップS14において、第2レジスタ20および第3レジスタ22のデータをバレルシ

## 25

フタ16によって5ビットバレルシフトしたデータを第2レジスタ20および第3レジスタ22にセレクト14を通してロードする。その結果、第3レジスタ22には、16ビットのデータ $i_0, i_1, i_2, i_3, i_4, i_5, i_6, i_7, i_8, i_9, j_0, j_1, j_2, j_3, j_4, j_5$ が保持され、第2レジスタ20には11ビットのデータ $j_6, j_7, j_8, k_0, k_1, k_2, k_3, k_4, k_5, k_6, k_7$ と5ビットの「0」とが保持される。

次のステップS15においてタイミング発生器18からVBCリクエスト信号が出力され、応じて、メモリ（図示せず）から次のメモリデータが読み出される。したがって、ステップS16では、図15に示すように、メモリデータが第1レジスタ12にビット並列にロードされ、第1レジスタ12には16ビットのデータ $l_0, l_1, l_2, l_3, l_4, m_0, m_1, n_0, n_1, n_2, s_0, s_1, s_2, s_3, s_4, s_5$ が保持される。

図14の状態において、第3レジスタ22のデータ $i$ の有効ビット数は「10」であり、第2レジスタ20の残ビット数は「11」である。したがって、減算器30の減算の結果は「 $11 - 10 = 1$ 」となり、ステップS10では「YES」と判断される。減算器30からは、このとき、バレルシフト16におけるシフト量として有効ビット数である「10」をバレルシフト16に指示する。したがって、次のステップS11において、有効ビット数「10」だけバレルシフトしたデータを第2レジスタ20および第3レジスタ22にロードする。その結果が、図15に示される。図15では、第1レジスタ12のデータはそのまま変化せず、第3レジスタ22に保

## 26

持されていた10ビットのデータ*i*が第3レジスタ22から押し出される。したがって、第3レジスタ22には、16ビットのデータ *j*<sub>0</sub>, *j*<sub>1</sub>, *j*<sub>2</sub>, *j*<sub>3</sub>, *j*<sub>4</sub>, *j*<sub>5</sub>, *j*<sub>6</sub>, *j*<sub>7</sub>, *j*<sub>8</sub>, *k*<sub>0</sub>, *k*<sub>1</sub>, *k*<sub>2</sub>, *k*<sub>3</sub>, *k*<sub>4</sub>, *k*<sub>5</sub>, *k*<sub>6</sub>が保持される。なお、減算器30からのボロー信号もゼロ信号もともに「0」であるので、タイミング発生器18からは「0」のセレクト信号が出力される。応じて、セクタ14はバレルシフタ16からのデータを選択する。したがって、第2レジスタ20には1ビットのデータ*k*<sub>7</sub>と15ビットの「0」が保持される。「0」は、バレルシフタ16によって第2レジスタ20のデータを10ビットバレルシフトした結果、第2レジスタ20に書き込まれる。

図15の状態において、第3レジスタ22のデータ*j*の有効ビット数は「9」であり、第2レジスタ20の残ビット数は「1」である。したがって、減算器30の減算の結果は「1-9=-8」となり、ボロー信号が出力され、ステップS10では「NO」と判断される。そのため、ステップS12において、「残ビット数-有効ビット数」の減算結果が「0」であるかどうかを判断する。上述の例では、減算結果は「-8」であるため、このステップS12では「NO」と判断され、したがって、プロセスはステップS13に進む。

ボロー信号に応じて、タイミング発生器18は「0」のセレクト信号を出力する。また、減算器30からは、減算結果が負になったので、シフト量として、残ビット数である「1」をバレルシフタ16に与える。したがって、ステップS13では、図16に示すよう

## 27

に、まず、第2レジスタ20および第3レジスタ22のデータを1ビットバレルシフトし、それを第2レジスタ20および第3レジスタ22にロードする。このとき、バレルシフタ16の下位16ビットのデータは、 $j_1, j_2, j_3, j_4, j_5, j_6, j_7, j_8, k_0, k_1, k_2, k_3, k_4, k_5, k_6, k_7$ となり、上位16ビットは全て「0」になる。ここで、次にタイミング発生器18からの「1」のセレクト信号に 응답して、セレクト14が第1レジスタ12のデータを選択するため、第2レジスタ20には第1レジスタ12のデータがビット並列でロードされ、第2レジスタ20は16ビットのデータ $l_0, l_1, l_2, l_3, l_4, m_0, m_1, n_0, n_1, n_2, s_0, s_1, s_2, s_3, s_4, s_5$ が保持される。

次のステップS14では、減算器30から「有効ビット数-残ビット数」のシフト量がバレルシフタ16に指示される。図15の状態では、第3レジスタ22の有効ビット数は「9」であり、第2レジスタ20の残ビット数は「1」である。したがって、このときのシフト量は「8」である。したがって、ステップS14において、第2レジスタ20および第3レジスタ22のデータをバレルシフタ16によって8ビットバレルシフトしたデータを第2レジスタ20および第3レジスタ22にセレクト14を通してロードする。その結果、第3レジスタ22に保持されていた9ビットのデータjが第3レジスタ22から押し出される。そして、図16に示すように、第3レジスタ22には、16ビットのデータ $k_0, k_1, k_2, k_3, k_4, k_5, k_6, k_7, l_0, l_1, l_2, l_3, l_4, m_0, m_1, n_0$ が保持され、第2レ

## 28

レジスタ20には8ビットのデータ $n_1, n_2, s_0, s_1, s_2, s_3, s_4, s_5$ と8ビットの「0」とが保持される。

次のステップS15においてタイミング発生器18からVBCリクエスト信号が出力され、応じて、メモリ（図示せず）から次のメモリデータが読み出される。したがって、ステップS16では、図17に示すように、メモリデータが第1レジスタ12にビット並列にロードされ、第1レジスタ12は16ビットのデータ $s_6, s_7, s_8, s_9, s_{10}, s_{11}, s_{12}, s_{13}, t_0, t_1, u_0, u_1, u_2, u_3, u_4, u_5$ が保持される。

再びステップS12が実行されると、図16の状態では、第3レジスタ22のデータkの有効ビット数は「8」で残ビット数は「8」であり、その結果、図5のステップS17からステップS19が実行される。

まず、ステップS17において、タイミング発生器18からの「1」のセレクト信号に応答して、セレクト14が第1レジスタ12のデータを選択しているため、第2レジスタ20には第1レジスタ12のデータがビット並列でロードされ、第2レジスタ20には16ビットのデータ $s_6, s_7, s_8, s_9, s_{10}, s_{11}, s_{12}, s_{13}, t_0, t_1, u_0, u_1, u_2, u_3, u_4, u_5$ が保持される。それとともに、減算器30から有効ビット数に相当するシフト量がバレルシフタ16に指示される。図16の状態では、第3レジスタ22の有効ビット数は「8」である。したがって、このときのシフト量は「8」である。したがって、ステップS17において、第2レジスタ20および第3レジスタ

## 29

タ22のデータをバレルシフタ16によって8ビットバレルシフトしたデータを第2レジスタ20および第3レジスタ22にセレクタ14を通してロードする。その結果、第3レジスタ22に保持されていた8ビットのデータkが第3レジスタ22から押し出される。そして、図17に示すように、第3レジスタ22には、16ビットのデータ $l_0, l_1, l_2, l_3, l_4, m_0, m_1, n_0, n_1, n_2, s_0, s_1, s_2, s_3, s_4, s_5$ が保持され、第2レジスタ20には16ビットのデータ $s_6, s_7, s_8, s_9, s_{10}, s_{11}, s_{12}, s_{13}, t_0, t_1, u_0, u_1, u_2, u_3, u_4, u_5$ が保持される。

次のステップS18においてタイミング発生器18からVBCリクエスト信号が出力され、応じて、メモリ（図示せず）から次のメモリデータが読み出される。したがって、ステップS19では、図18に示すように、メモリデータが第1レジスタ12にビット並列にロードされ、第1レジスタ12には16ビットのデータ $u_6, u_7, v_0, v_1, v_2, v_3, v_4, w_0, w_1, w_2, w_3, w_4, w_5, w_6, w_7, x_0$ が保持される。

図17の状態において、第3レジスタ22のデータ1の有効ビット数は「5」であり、第2レジスタ20の残ビット数は「16」である。したがって、減算器30の減算の結果は「 $16 - 5 = 11$ 」となり、ステップS10では「YES」と判断される。減算器30からは、このとき、バレルシフタ16におけるシフト量として有効ビット数である「5」をバレルシフタ16に指示する。したがって、次のステップS11において、有効ビット数「5」だけバレルシ



## 30

フトしたデータを第2レジスタ20および第3レジスタ22にロードする。その結果が、図18の上部で示される。この状態では、第1レジスタ12のデータはそのまま変化せず、第3レジスタ22に保持されていた5ビットのデータ1が第3レジスタ22から押し出される。したがって、第3レジスタ22には、16ビットのデータ  $m_0, m_1, n_0, n_1, n_2, s_0, s_1, s_2, s_3, s_4, s_5, s_6, s_7, s_8, s_9, s_{10}$  が保持される。なお、減算器30からのボロー信号もゼロ信号もともに「0」であるので、タイミング発生器18からは「0」のセレクト信号が出力される。応じて、セクタ14はバレルシフト16からのデータを選択する。したがって、第2レジスタ20には11ビットのデータ  $s_{11}, s_{12}, s_{13}, t_0, t_1, u_0, u_1, u_2, u_3, u_4, u_5$  と5ビットの「0」が保持される。「0」は、バレルシフト16によって第2レジスタ20のデータを10ビットバレルシフトした結果、第2レジスタ20に書き込まれる。

図18の上部の状態において、第3レジスタ22のデータmの有効ビット数は「2」であり、第2レジスタ20の残ビット数は「11」である。したがって、減算器30の減算の結果は「 $11 - 2 = 9$ 」となり、ステップS10では「YES」と判断される。減算器30からは、このとき、バレルシフト16におけるシフト量として有効ビット数である「2」をバレルシフト16に指示する。したがって、次のステップS11において、有効ビット数「2」だけバレルシフトしたデータを第2レジスタ20および第3レジスタ22にロードする。その結果が、図18の下部に示される。図18の下部

## 3 1

では、第1レジスタ12のデータはそのまま変化せず、第3レジスタ22に保持されていた2ビットのデータmが第3レジスタ22から押し出される。したがって、第3レジスタ22には、16ビットのデータ $n_0, n_1, n_2, s_0, s_1, s_2, s_3, s_4, s_5, s_6, s_7, s_8, s_9, s_{10}, s_{11}, s_{12}$ が保持される。なお、減算器30からのボロー信号もゼロ信号とともに「0」であるので、タイミング発生器18からは「0」のセレクト信号が出力される。応じて、セクタ14はパレルシフタ16からのデータを選択する。したがって、第2レジスタ20には9ビットのデータ $s_{13}, t_0, t_1, u_0, u_1, u_2, u_3, u_4, u_5$ と7ビットの「0」が保持される。「0」は、パレルシフタ16によって第2レジスタ20のデータを10ビットパレルシフトした結果、第2レジスタ20に書き込まれる。

このようにして、上述の実施例によれば、最大2回のパレルシフト動作を実行するだけで第3レジスタ22から有効データが取り出される。

この発明が詳細に説明され図示されたが、それは単なる図解および一例として用いたものであり、限定であると解されるべきではないことは明らかであり、この発明の精神および範囲は添付されたクレームの文言によってのみ限定される。

## 請求の範囲

1. 次のものを備える、可変長ビットデータ処理回路：

ビット並列に与えられるデータを保持する1ワードの第1レジスタ；

前記第1レジスタからのデータをビット並列に受ける1ワードの第2レジスタ；

可変長ビットデータが取り出される1ワードの第3レジスタ；

有効ビット数と前記第2レジスタに保持されたデータの残ビット数とを比較して前記有効ビット数が前記残ビット数より大きいとき第1信号を出力する比較手段；

前記比較手段から前記第1信号が出力されたとき、前記第2レジスタおよび前記第3レジスタから前記残ビット数だけバレルシフトしたデータを前記第3レジスタへロードする第1バレルシフト手段；

前記比較手段から前記第1信号が出力されたとき、前記第1レジスタのデータを前記第2レジスタにビット並列でロードするロード手段；および

前記ロード手段によって前記第2レジスタに前記第1レジスタのデータをロードした後、前記有効ビット数と前記残ビット数との差のビット数だけバレルシフトした前記第2レジスタおよび前記第3レジスタのデータを前記第2レジスタおよび前記第3レジスタにロードする第2バレルシフト手段。

## 3 3

2. クレーム 1 に従属する可変長ビットデータ処理回路であって、前記比較手段は前記有効ビット数と前記残ビット数とが等しいとき第 2 の信号を出力し、前記可変長ビットデータ処理回路はさらに次のものを備える：

前記比較手段から前記第 2 信号が出力されたとき、前記残ビット数だけバレルシフトした前記第 2 レジスタおよび前記第 3 レジスタのデータを前記第 3 レジスタにロードする第 3 バレルシフト手段；および

前記比較手段から前記第 2 信号が出力されたとき、前記第 1 レジスタのデータを前記第 2 レジスタにビット並列でロードするロード手段。

3. クレーム 1 または 2 に従属する可変長ビットデータ処理回路であって、前記比較手段は前記残ビット数が前記有効ビット数より大きいとき第 3 信号を出力し、前記可変長ビットデータ処理回路はさらに次のものを備える：

前記比較手段から前記第 3 信号が出力されたとき、前記第 2 レジスタおよび前記第 3 レジスタのデータを前記有効ビット数だけバレルシフトして前記第 2 レジスタおよび前記第 3 レジスタにロードする第 4 バレルシフト手段。

4. ビット並列に与えられるデータを保持する 1 ワードの第 1 レジスタ、前記第 1 レジスタからのデータをビット並列に受ける 1 ワードの第 2 レジスタ、および可変長ビットデータが取り出される 1 ワードの第 3 レジスタを備える可変長ビットデータ処理回路におけ

## 3 4

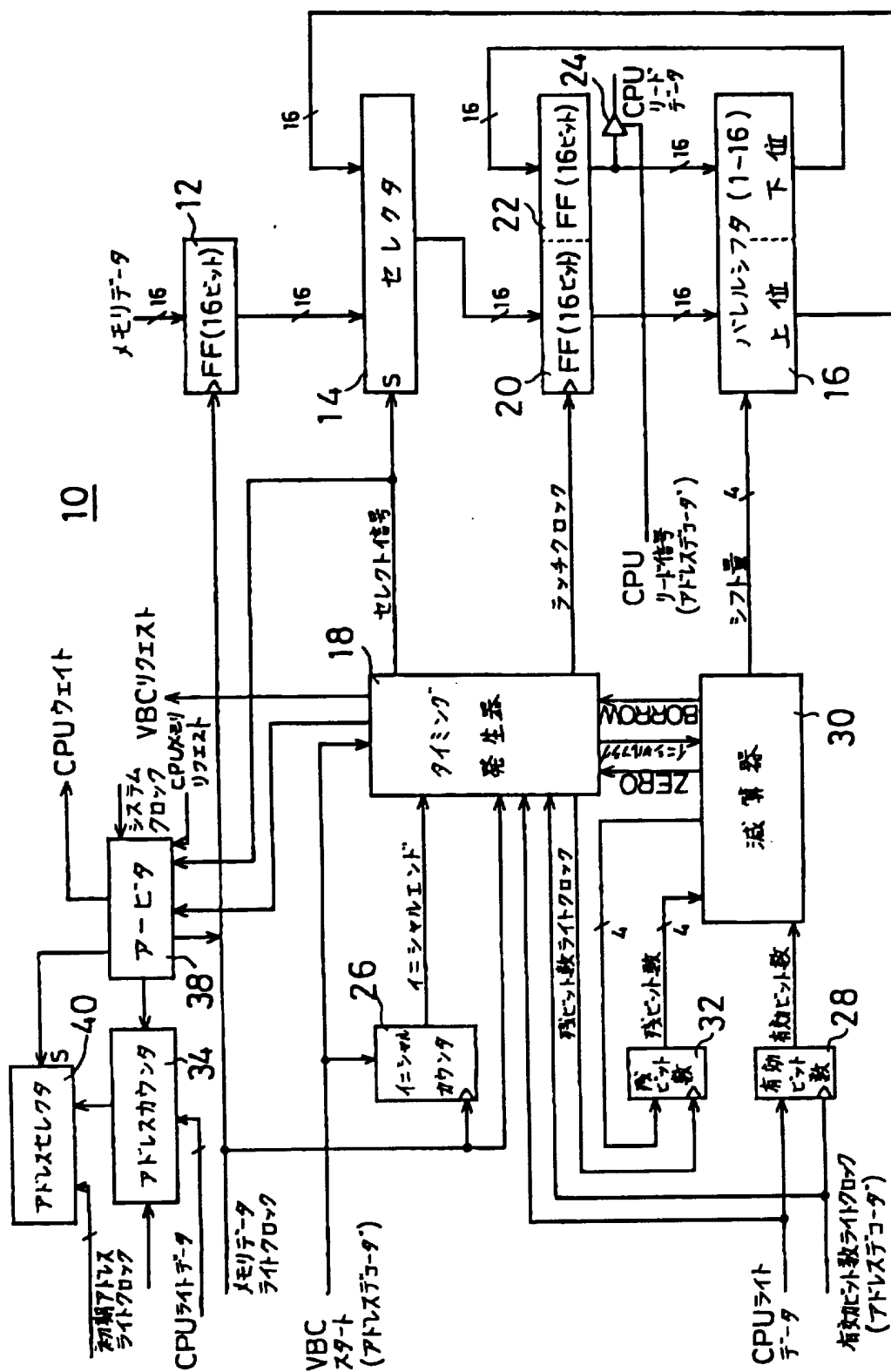
る処理方法であって、

有効ビット数が前記第 2 レジスタに保持されたデータの残ビット数より大きいとき、(a) 前記第 2 レジスタおよび前記第 3 レジスタから前記残ビット数だけバレルシフトしたデータを前記第 3 レジスタへロードし、(b) 前記第 1 レジスタのデータを前記第 2 レジスタにビット並列でロードし、そして(c) 前記第 2 レジスタおよび前記第 3 レジスタのデータを前記有効ビット数と前記残ビット数との差のビット数だけバレルシフトして前記第 2 レジスタおよび前記第 3 レジスタにロードする、処理方法。

5. クレーム 4 に従属する処理方法であって、前記有効ビット数と前記残ビット数とが等しいとき、(d) 前記残ビット数だけバレルシフトした前記第 2 レジスタおよび前記第 3 レジスタのデータを前記第 2 レジスタおよび前記第 3 レジスタにロードし、そして(e) 前記第 1 レジスタのデータを前記第 2 レジスタにビット並列でロードする。

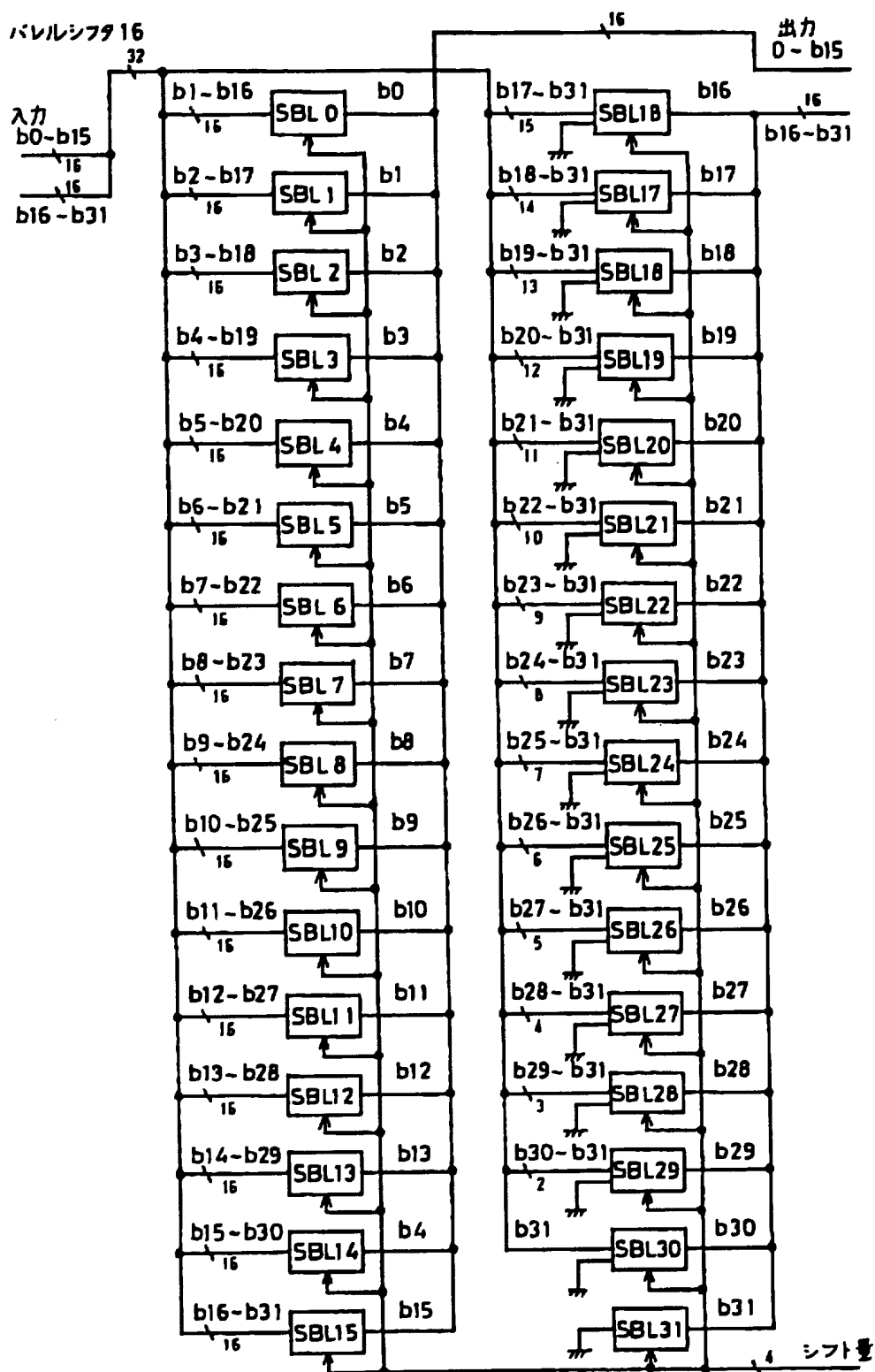
6. クレーム 4 または 5 に従属する処理方法であって、前記残ビット数が前記有効ビット数より大きいとき、(f) 前記第 2 レジスタおよび前記第 3 レジスタのデータを前記有効ビット数だけバレルシフトして前記第 2 レジスタおよび前記第 3 レジスタにロードする。

第 1 図



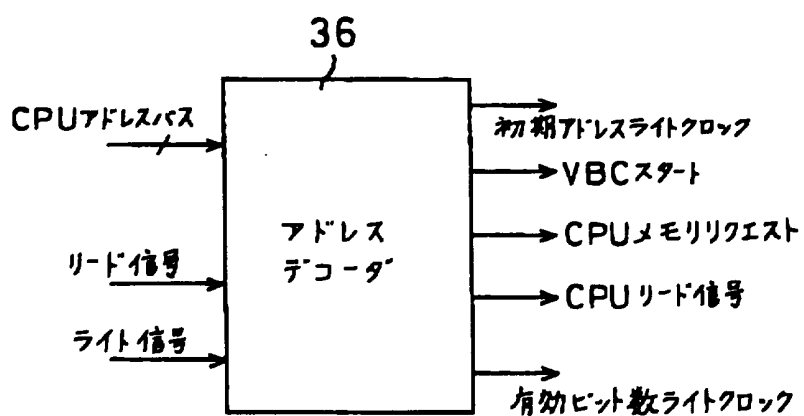
2/18

第 2 図



3/18

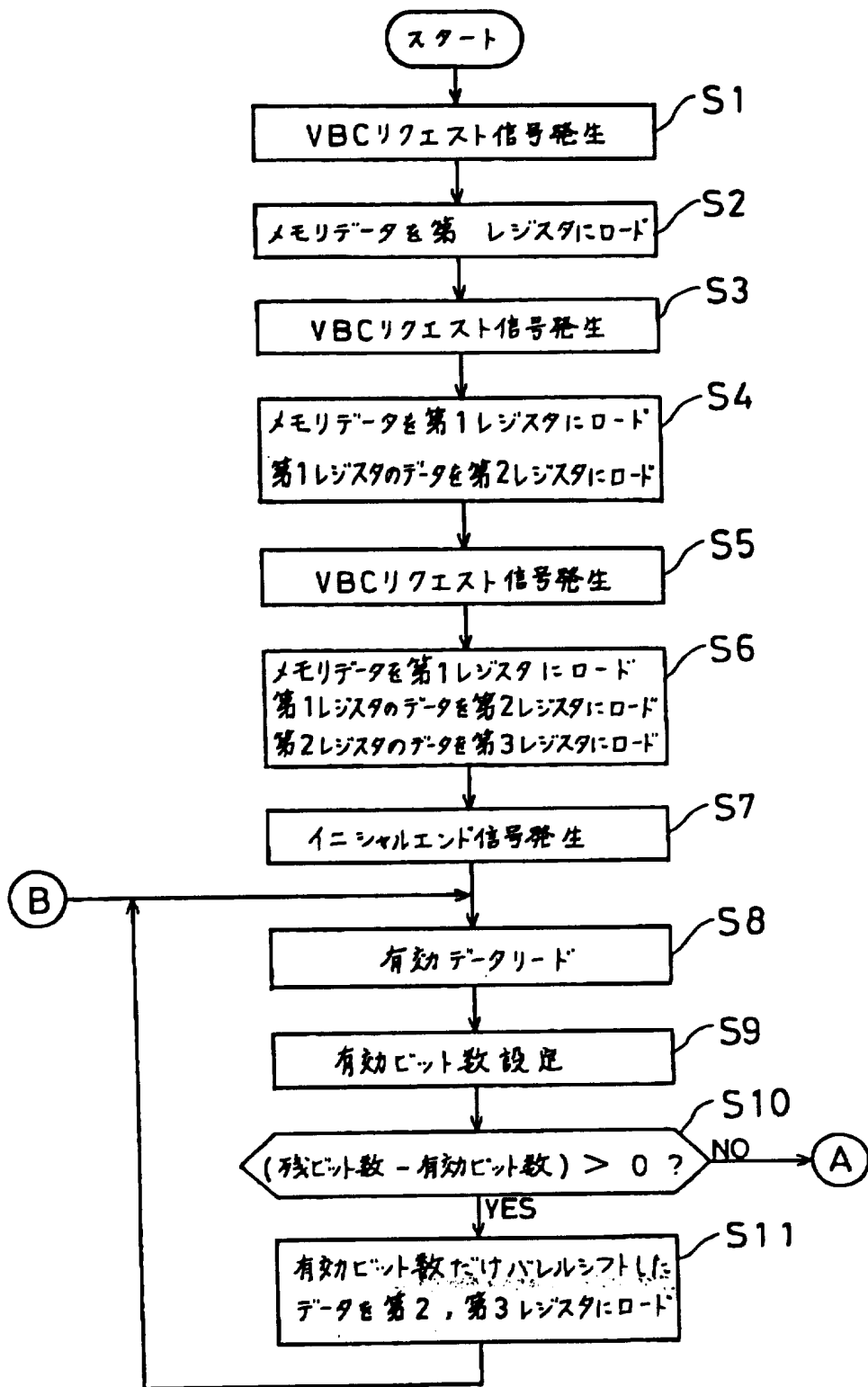
第 3 図



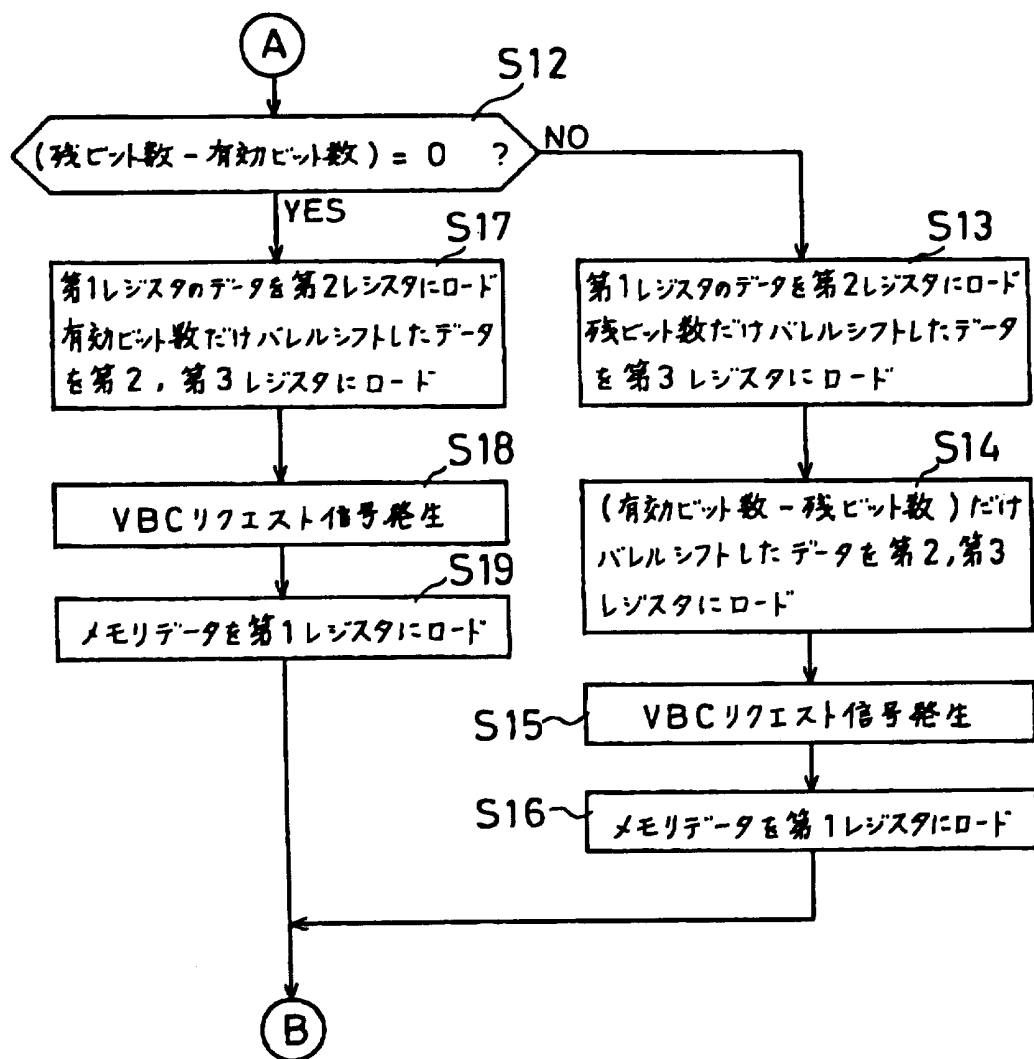


4/18

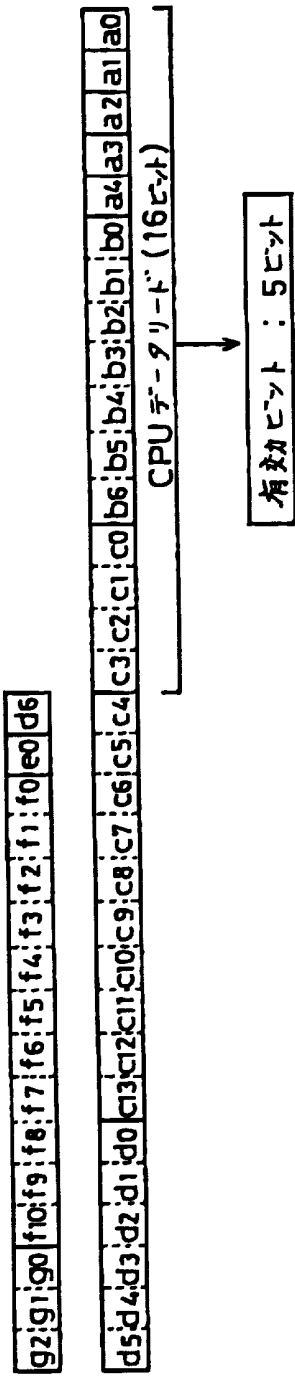
第 4 図



## 第 5 図

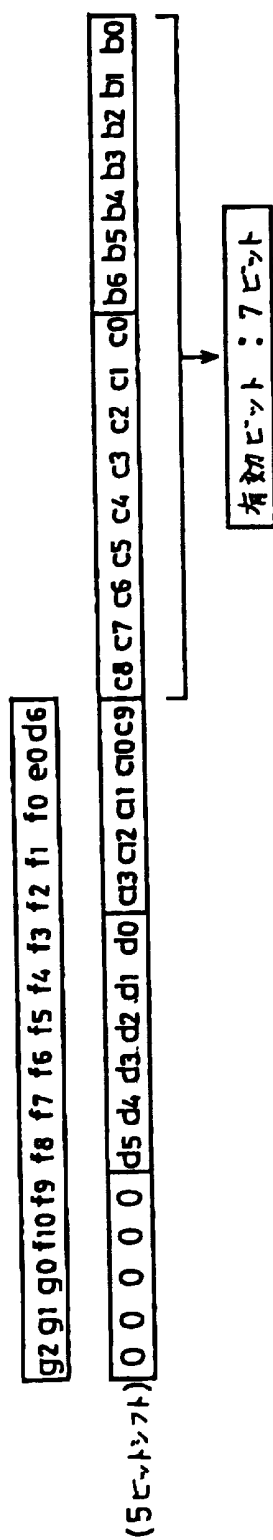


第 6 図



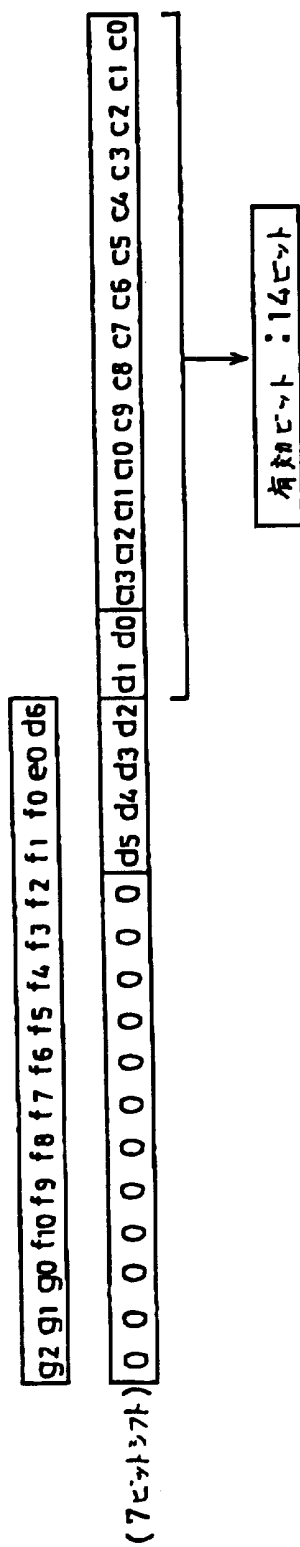
7/18

## 第 7 図

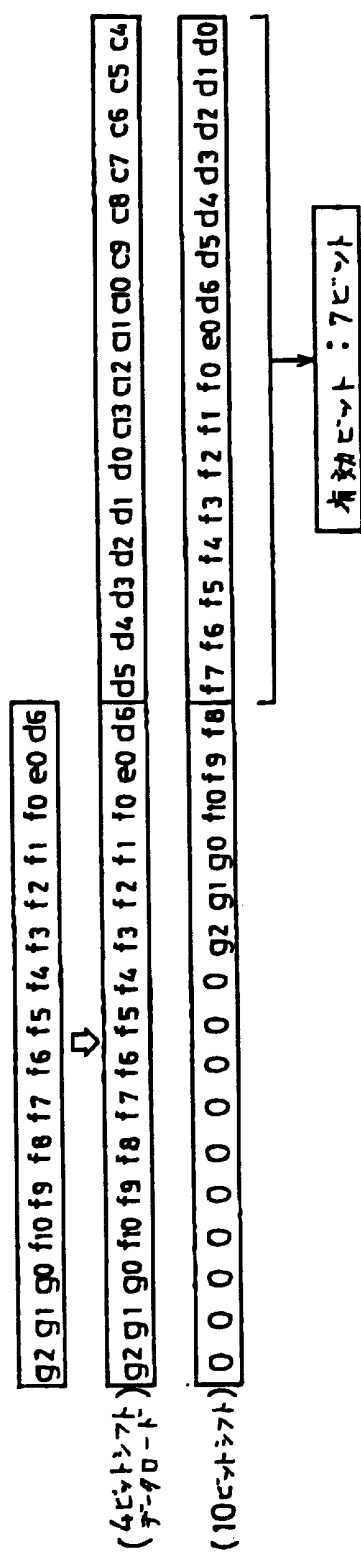


8/18

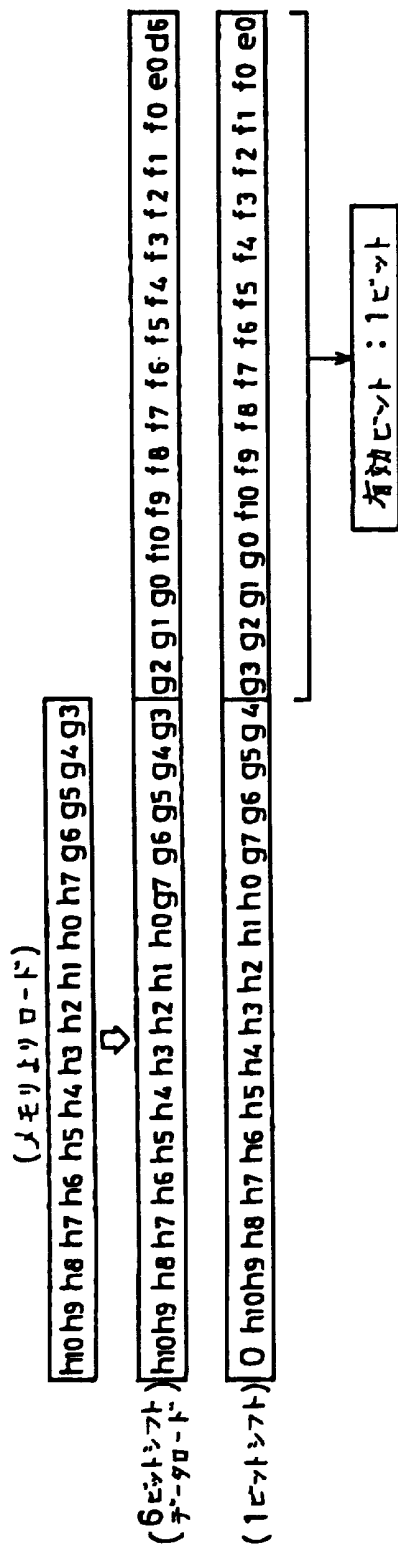
## 第 8 図



第 9 図

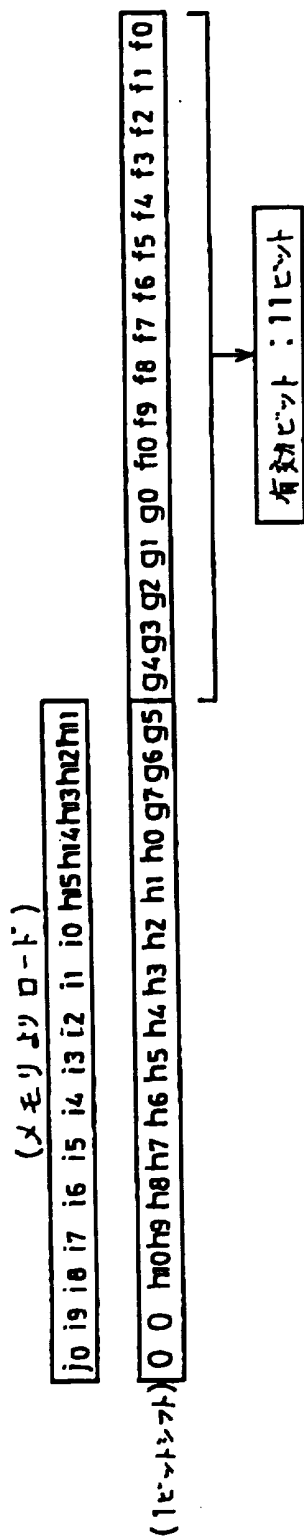


第 10 図



11/18

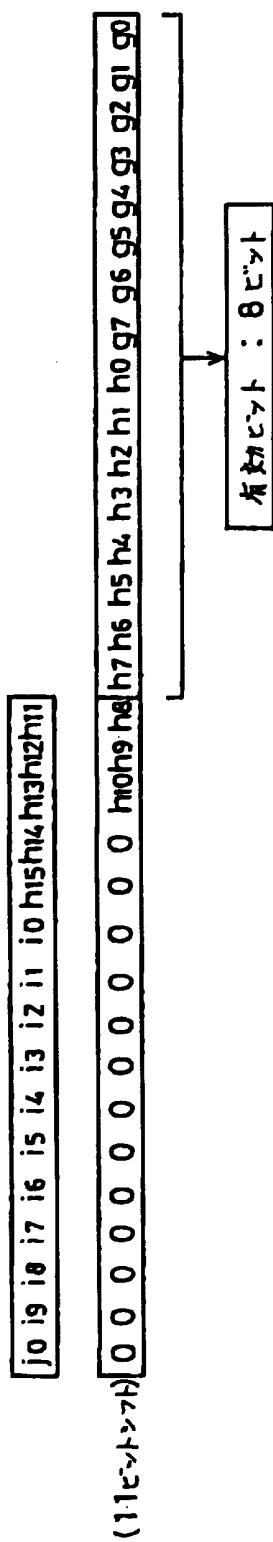
## 第 11 図





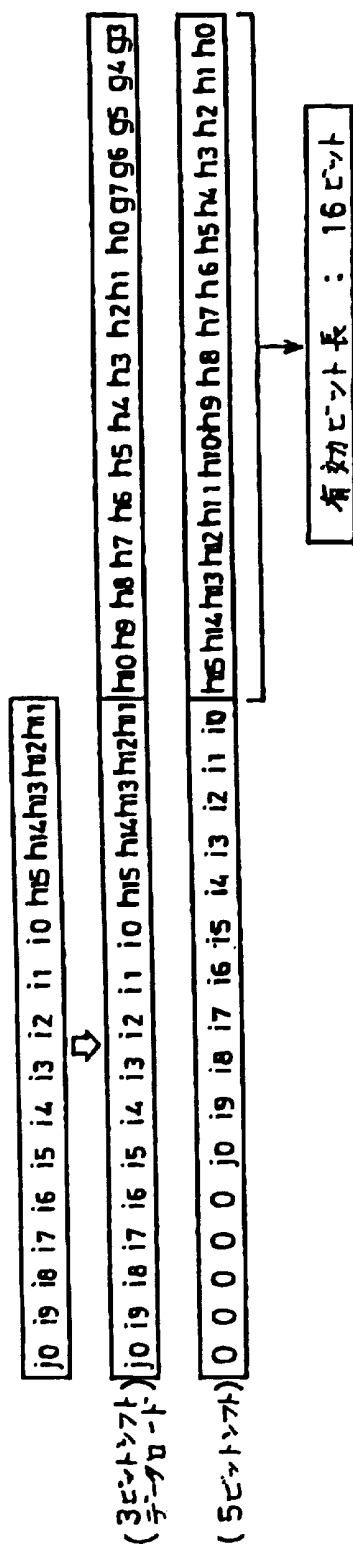
12/18

## 第 12 図

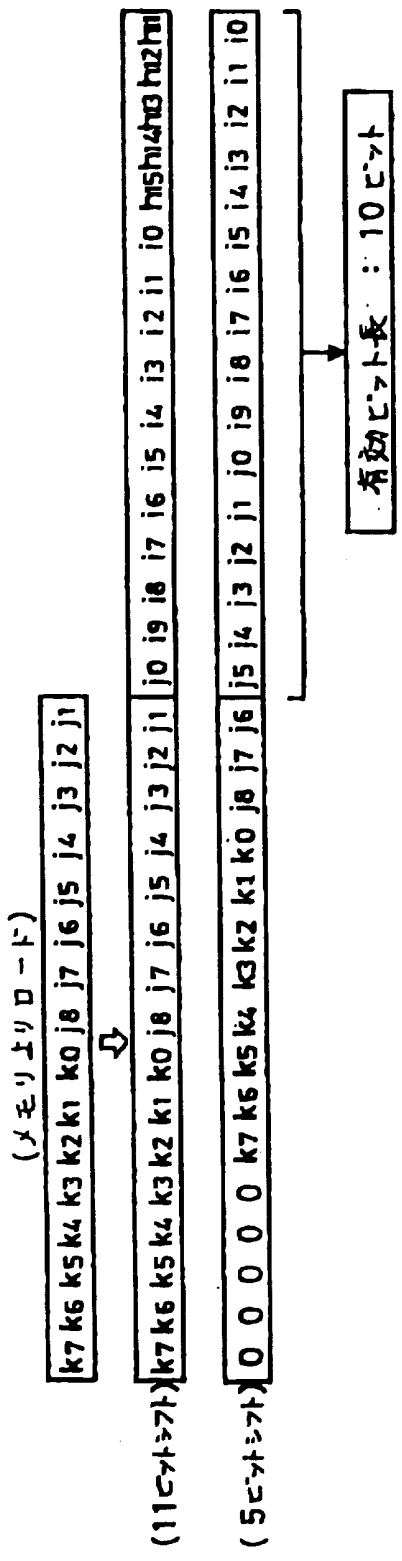


13/18

## 第 13 図

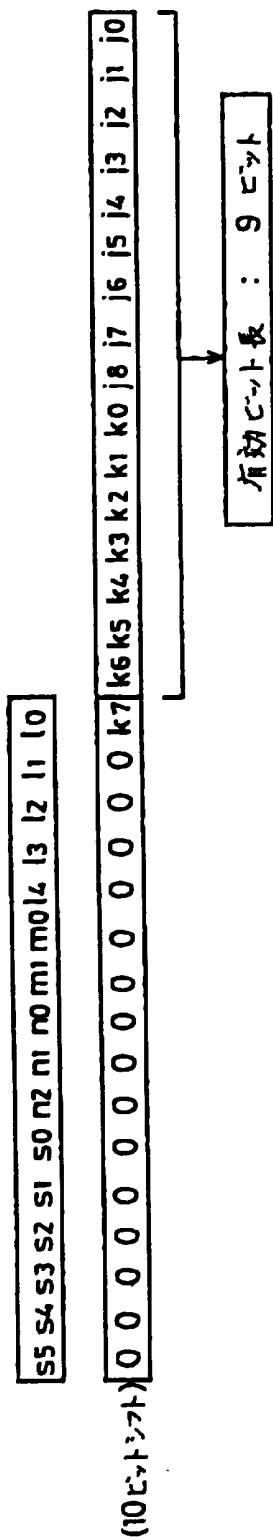


第 14 図

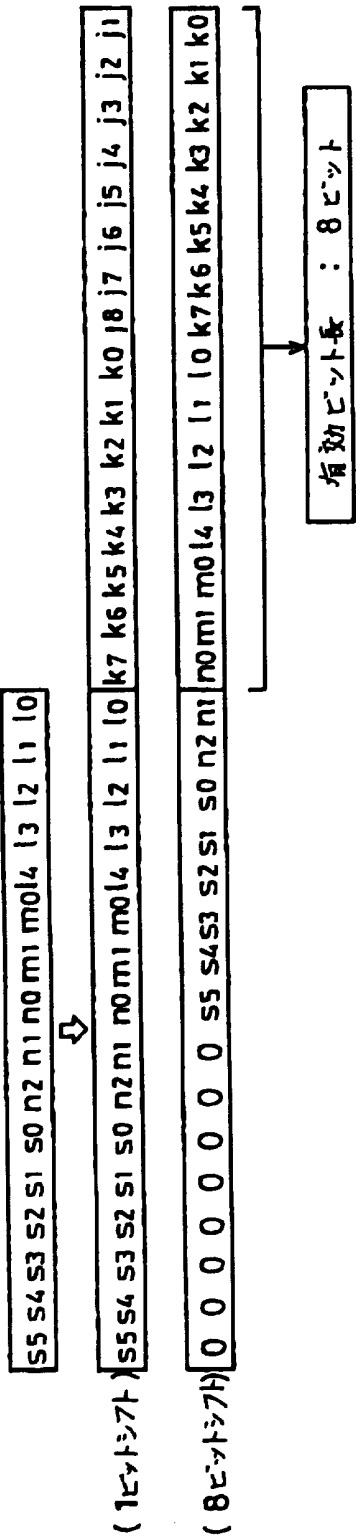


15/18

第 15 図

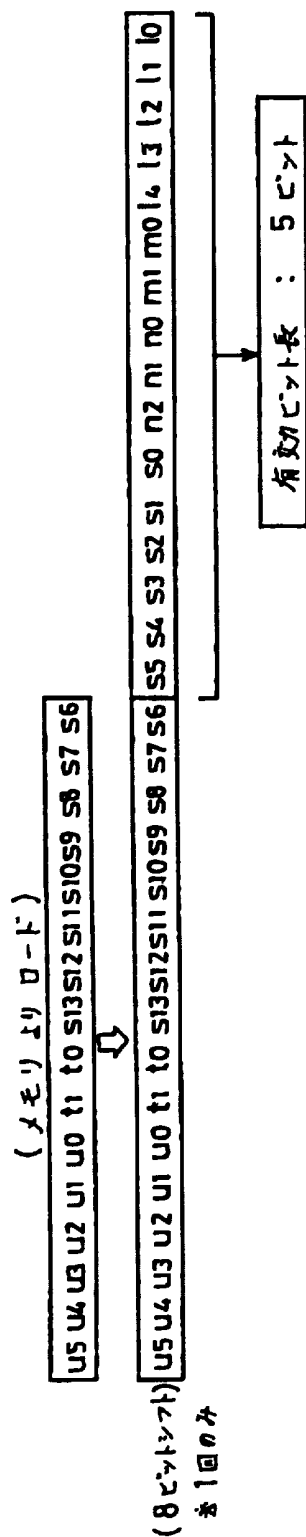


第 16 図

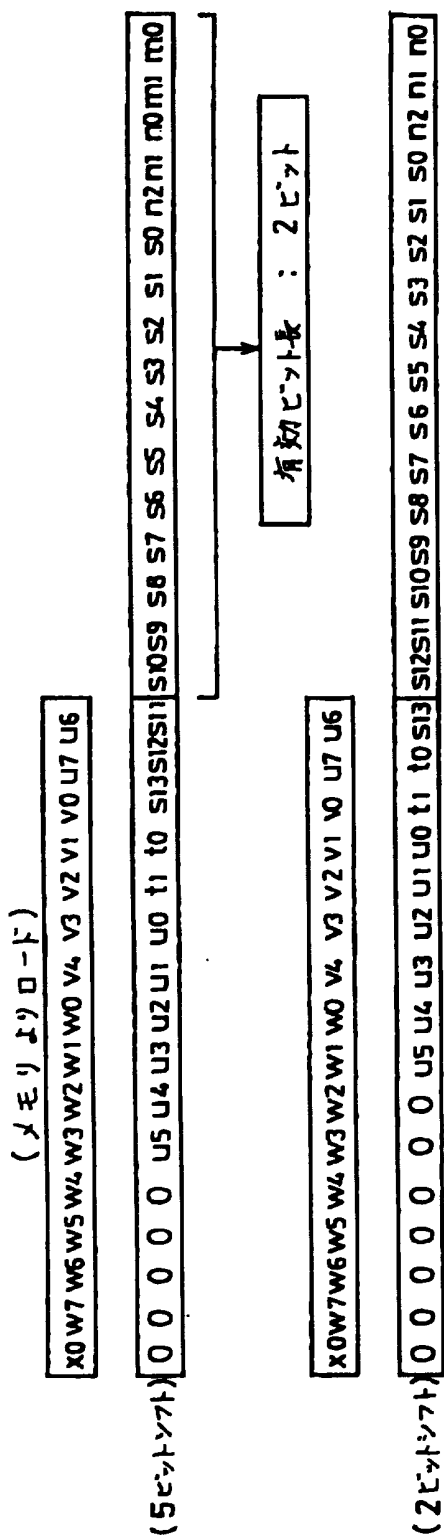


17/18

## 第 17 図



第 18 図



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP95/01959

## A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl<sup>6</sup> G06F12/04

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl<sup>6</sup> G06F12/04

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1975 - 1996
Kokai Jitsuyo Shinan Koho	1974 - 1994
Toroku Jitsuyo Shinan Koho	1994 - 1996

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP, 61-75386, A (Daikin Industries, Ltd.), April 17, 1986 (17. 04. 86) (Family: none)	1 - 6

☐ Further documents are listed in the continuation of Box C.☐ See patent family annex.

## \* Special categories of cited documents:

- "A" document defining the general state of the art which is not considered to be of particular relevance
- "E" earlier document but published on or after the international filing date
- "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- "O" document referring to an oral disclosure, use, exhibition or other means
- "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search  
January 22, 1996 (22. 01. 96)

Date of mailing of the international search report  
February 13, 1996 (13. 02. 96)

Name and mailing address of the ISA/  
Japanese Patent Office  
Facsimile No.

Authorized officer  
Telephone No.



A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl. G 0 6 F 1 2 / 0 4

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl. G 0 6 F 1 2 / 0 4

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1975-1996年
日本国公開実用新案公報	1974-1994年
日本国登録実用新案公報	1994-1996年

国際調査で使用了電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の  
カテゴリー\*

引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示

関連する  
請求の範囲の番号

A

JP, 61-75386, A (ダイキン工業株式会社),  
17. 4月. 1986 (17. 04. 86) (ファミリーなし)

1-6

☐ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

\* 引用文献のカテゴリー

- 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの  
「E」 先行文献ではあるが、国際出願日以後に公表されたもの  
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日  
若しくは他の特別な理由を確立するために引用する文献  
(理由を付す)  
「O」 口頭による開示、使用、展示等に言及する文献  
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願の日  
の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と  
矛盾するものではなく、発明の原理又は理論の理解のため  
に引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規  
性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文  
献との、当業者にとって自明である組合せによって進歩性  
がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

22. 01. 96

国際調査報告の発送日

13.02.96

名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

久保光安

5 B 9 3 6 6

電話番号 03-3581-1101 内線

3546